

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 03187269  
PUBLICATION DATE : 15-08-91

APPLICATION DATE : 18-12-89  
APPLICATION NUMBER : 01325975

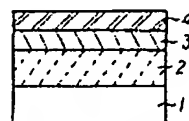
APPLICANT : HITACHI LTD;

INVENTOR : MIYAO MASANOBU;

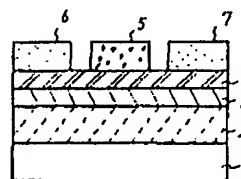
INT.CL. : H01L 29/32 H01L 21/331 H01L 21/338  
H01L 29/73 H01L 29/784 H01L 29/812

TITLE : SEMICONDUCTOR DEVICE

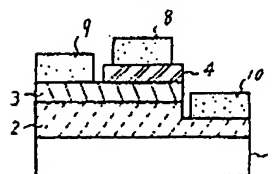
(a)



(b)



(c)



ABSTRACT : PURPOSE: To enable high-speed actions of transistors in heterostructures free of alloy scattering by using a simple substance of Ge undergoing compression strain as the channel of a field effect transistor and the base of a bipolar transistor.

CONSTITUTION: A layer through which carriers run consists of a germanium layer 3 that overlies a strain control layer 2 and shows compression strain. That is, compression strain is given to the germanium layer 3 under control by the strain control layer 2 located below, or above and below, the germanium layer 3. The strain control layer 2 employs an  $\text{Si}_{1-x}\text{Sb}_x\text{Ge}_x\text{S}$  mixed crystal layer and varies this mixed crystal ratio  $x_s$  to control strain given to the germanium layer 3. As a result, two-dimensional hole gas of high mobility, high saturation speed, and high concentration thus formed by a simple substance layer of Ge showing compression strain can realize the speedup of a field effect transistor and a bipolar transistor.

COPYRIGHT: (C)1991,JPO&Japio

BEST AVAILABLE COPY

## ⑫ 公開特許公報(A)

平3-187269

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)8月15日

H 01 L 29/32

8225-5F

7735-5F

8422-5F

H 01 L 29/80

29/78

H

3 0 1 B※

審査請求 未請求 請求項の数 13 (全9頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 平1-325975

⑰ 出 願 平1(1989)12月18日

特許法第30条第1項適用 「1989年(平成元年)秋季 第50回応用物理学会学術講演会 講演予稿集  
(期日:平成元年9月27日~30日)」において発表

⑱ 発 明 者 村 上 英 一 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 中 川 清 和 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 発 明 者 江 藤 浩 幸 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

1. キャリアの走行する層が、ゲルマニウム層からなり、該ゲルマニウム層は歪制御層上に設けられてなり、上記ゲルマニウム層が圧縮歪を有することを特徴とする半導体装置。

2. 特許請求の範囲第1項記載の半導体装置において、ゲルマニウム層に近接した歪制御層に、p型不純物が導入されてなることを特徴とする半導体装置。

3. 特許請求の範囲第1項記載の半導体装置において、ゲルマニウム層にp型不純物が導入されてなることを特徴とする半導体装置。

4. 特許請求の範囲第3項記載の半導体装置において上記歪制御層は  $Si_{1-x}Ge_x$  混晶からなり、かつ、該歪制御層の混晶比  $x$  が  $0.5 \leq x \leq 0.9$  であることを特徴とする半導体装置。

5. ベース層がゲルマニウム層からなり、該ゲルマニウムベース層が圧縮歪を有することを特徴とする半導体装置。

6. 特許請求の範囲第2項記載の半導体装置において、上記ゲルマニウムベース層が  $P-Si_{1-x}Ge_x$  ( $0 < x < 1$ ) /  $i-Ge$  からなる構造を有することを特徴とする半導体装置。

7. 特許請求の範囲第2項記載の半導体装置において、上記ゲルマニウムベース層にP型不純物が導入されてなることを特徴とする半導体装置。

8. 基板と、該基板上に設けられた歪制御層と、該歪制御層上に設けられたゲルマニウム層と、該ゲルマニウム層上に設けられた第1の層とを有する半導体装置において、

上記ゲルマニウム層を上記半導体装置のキャリアが走行することを特徴とする半導体装置。

9. 上記ゲルマニウム層は、電界効果型トランジスタのチャネル層であり、上記第1の層の上にはゲート電極が設けられていることを特徴とす

る請求項 8 記載の半導体装置。

10. 上記ゲルマニウム層は、バイポーラトランジスタのベース層であることを特徴とする請求項 8 記載の半導体装置。
11. 上記歪制御層は、 $Si_{1-x}Ge_x$  混晶層からなり、かつ混晶比  $x$  が、 $0.5 \leq x \leq 0.9$  であることを特徴とする請求項 8 乃至 10 の何れかに記載の半導体装置。
12. 上記ゲルマニウム層の厚みは、10 nm 以上、30 nm 以下であることを特徴とする請求項 8 乃至 11 の何れかに記載の半導体装置。
13. 上記歪制御層は、 $Si_{1-x}Ge_x$  混晶からなり、かつ、 $0.15 \leq 1-x \leq 0.45$  であることを特徴とする請求項 8, 9, 10, 12 のうち何れかに記載の半導体装置。

### 3. 発明の詳細な説明

#### 〔産業上の利用分野〕

本発明は、半導体装置に係り、特に、電界効果トランジスタ、及び、バイポーラトランジスタに関する。

バイポーラトランジスタの場合、n 型 Si エミッタと p 型  $Si_{1-x}Ge_x$  ベースのバンドギャップ差が、ベースよりエミッタへのホール（正孔）の注入に対するバリアーとして働くため、ベースの濃度を高くしても十分な電流増幅率を確保できる。ベースの高濃度化は、トランジスタの高速化に不可欠な、ベース薄膜化及びベース抵抗低減に必要である。

(G. L. Patton 他, アイ・イー・イー・イー, エレクトロン・デバイス・レターズ, 第 9 巻 (1988 年) 165 頁)

#### 〔発明が解決しようとする課題〕

しかるに、上記従来技術は、トランジスタの動作速度に最も支配的な、チャネル及びベース層を  $Si_{1-x}Ge_x$  ( $0 < x < 1$ ) 混晶という不規則合金で形成しているため、キャリアが合金散乱を受け、十分な高速性を発揮できないという問題があった。

そこで、本発明の目的は、上記、合金散乱のないヘテロ構造を提供し、トランジスタの一層の高

#### 〔従来の技術〕

近年、超高速素子への応用を目的としてバンドギャップの異なる異種の半導体を積層したヘテロ構造の研究が活発化している。特に、GaAs, AlGaAs などのような化合物半導体のみならず、集積化に適した Si 系においても研究が始まっている。

第 2 図は、その典型的な例を示したもので、Si よりバンドギャップの小さい  $Si_{1-x}Ge_x$  ( $0 < x < 1$ ) 混晶を、電界効果トランジスタのチャネル（第 2 図 (a)）、及び、バイポーラトランジスタのベース（第 2 図 (b)）として用いている。電界効果トランジスタの場合、Si 層に不純物を導入しておけば、キャリアはバンドギャップの小さい  $Si_{1-x}Ge_x$  側に移って走行するため、不純物散乱が減少し、高移動度の実現が期待できる。

(T. Pearsall 他, アイ・イー・イー・イー, エレクトロン・デバイス・レターズ, 第 7 巻 (1986 年) 308 頁)

速動作を実現することにある。

#### 〔課題を解決するための手段〕

上記目的は、電界効果トランジスタのチャネル、バイポーラトランジスタのベースとして、圧縮歪を受けた単体 Ge を用いることにより達成される。圧縮歪は、ゲルマニウム層の下側若しくは、上下に設けられる、歪制御層によって、ゲルマニウム層に制御されて与えられる。歪制御層には、 $Si_{1-x}Ge_x$  混晶層が用いられ、この混晶比  $x$  を変化させることによって、ゲルマニウム層に与える歪を制御する。すなわち、格子定数の小さい Si の含有量によって、歪制御層の格子定数を変化させ、歪制御層と連続して成長されるゲルマニウム層の格子定数より小さくし、圧縮歪を与えるものである。

#### 〔作用〕

トランジスタの高速性能を決定する能動層（チャネル、ベース）に圧縮歪を受けた単体 Ge を用いる理由は、次の 3 点である。

まず第 1 に、単体 Ge は、Si 及び

$Si_{1-x}Ge_x$  ( $0 < x < 1$ ) 混晶に比べ、キャリア (特にホール) の移動度が大きい。例えば、第3図に示したように、室温におけるホールの移動度は  $Si$  の約1桁大きい。

(K. Takeda 他, ジャーナル・オブ・フィジックス・C, ソリッド・ステート・フィジックス, 第16巻, (1983年), 2237頁)

第2に、圧縮歪により、価電子帯が変化し、ホールの有効質量が、1桁近く減少することが、理論的に予測されている。(例えば、G. C. Osbourn, ジャーナル・オブ・バキューム・サイエンス・アンド・テクノロジーA 第3巻, (1985年), 826頁) 有効質量の減少は、キャリアの移動度及び飽和速度の増大をもたらす。

第3に、 $Si_{1-x}Ge_x/Ge$  ヘテロ界面におけるホールの  $Ge$  側への閉じ込め及び、 $Ge$  から  $Si_{1-x}Ge_x$  へのホール注入の阻止に有効な、ヘテロ界面のバンド不連続値  $\Delta E_v$  (ホールにとってポテンシャルの谷の深さに相当する。) が大きくなることが知られている。例えば、 $x = 0.5$

うな、 $Si_{1-x}Ge_x/Ge/Si_{1-x_s}Ge_{x_s}$ /基板 ( $0 < x, x_s < 1$ ) ヘテロ構造を基本とする。すなわち、電界効果トランジスタでは、第1図(b)の如く  $Si_{1-x_s}Ge_{x_s}$  バッファ層により  $Ge$  チャネル層が圧縮歪を受ける構造とする。バイポーラトランジスタでは、 $Si_{1-x_s}Ge_{x_s}$  バッファ層をコレクタとし、その上に  $Ge$  ベース及び  $Si_{1-x}Ge_x$  エミッタが歪んで形成された構造とする。

#### 実施例1.

次は、具体的に  $p$  チャネル変調ドープ型トランジスタを作製した本発明の第1の実施例について述べる。

第4図に示すように  $n$  型  $Ge$  基板41上に、厚さ  $500\text{ nm}$  の  $Si_{1-x_s}Ge_{x_s}$  バッファ層42 ( $0.15 \leq 1-x_s \leq 0.45$ ) を、基板温度  $520^\circ\text{C}$  で分子線エピタキシー (MBE) 法によりヘテロエピタキシャル成長した後、 $20\text{ nm}$  の  $Ge$  チャネル層43、 $15\text{ nm}$  の  $p$  型  $Si_{1-x}Ge_x$  層44を  $400^\circ\text{C}$  で成長した。バ

の場合を考えると、 $Ge$  が歪まない構造では  $\Delta E_v \approx 0.1\text{ eV}$  であるのに対し、 $Ge$  が1%の圧縮歪を有する構造では  $\Delta E_v \approx 0.17\text{ eV}$  となることが期待される。(これは、R. People 他, アプライド・フィジックス・レターズ第48巻, (1986年) 538頁に示された方法を用いて計算した。) これは、電界効果トランジスタにおけるキャリア数増加による高い電流駆動能力の実現、バイポーラトランジスタにおける高電流増幅率、低ベース抵抗の実現に有効である。

#### [実施例]

本発明の基本的な実施例を第1図(a), (b), (c)に示す。第1図(a)は、基板1上に、歪制御層たる  $Si_{1-x_s}Ge_{x_s}$  混晶層2を設け、その上にゲルマニウム能動層3を連続して設け、更に、 $Si_{1-x}Ge_x$  混晶層4を設けた状態を示す断面図である。このような構造をMODFETに応用したものが第1図(b)、バイポーラトランジスタに応用したものが第1図(c)である。

このように本発明は、第1図(a)に示したよ

うな、 $Si_{1-x_s}Ge_{x_s}$  バッファ層により  $Ge$  チャネル層が圧縮歪を受ける構造とする。バイポーラトランジスタでは、 $Si_{1-x_s}Ge_{x_s}$  バッファ層をコレクタとし、その上に  $Ge$  ベース及び  $Si_{1-x}Ge_x$  エミッタが歪んで形成された構造とする。

ツファ層の膜厚は十分厚い (歪成長の臨界膜厚以上) のため、 $Ge$  基板との界面に多くのミスフィット転位が発生して、格子定数はバルク  $Si_{1-x_s}Ge_{x_s}$  に等しくなっている (歪緩和成長) のに対し、 $Ge$  及び  $Si_{1-x}Ge_x$  層の膜厚は十分薄いため、面内格子定数をバッファ層に整合させて成長 (歪成長) している。以上の事は、断面TEM観察及び、ラマン散乱分光により明らかにされた。第5図(a)に、ラマン散乱分光より求めた、 $Ge$  チャネル層の歪をバッファ層の  $Si$  組成  $1-x_s$  の関数として示した。歪は圧縮歪でありほぼ理論通りに  $1-x_s$  に比例して制御できることがわかった。ただし、 $1-x_s = 0.45$  では  $Ge$  膜厚  $20\text{ nm}$  は臨界膜厚を越え歪緩和している。

$Si_{1-x}Ge_x$  層44への  $p$  型不純物のドーピングは、いわゆる  $\delta$  ドーピングによった。すなわち、まず  $400^\circ\text{C}$  で  $15\text{ nm}$  の  $Si_{1-x}Ge_x$  膜を成長した後、基板を  $100^\circ\text{C}$  以下とし、 $Ga$  を表面吸着させ、続いて  $15\text{ nm}$  の非晶質  $Si_{1-x}$

Ge<sub>0.5</sub>膜を堆積した。その後、450℃に加熱することにより、この膜を固相エピタキシャル成長により単結晶化し、GaがSi<sub>0.5</sub>Ge<sub>0.5</sub>膜中にスパイク状に埋め込まれた構造とした。この構造にAnGa電極を設け電気伝導特性を調べた。第5図(b)は、77Kにおけるホール効果測定より求めた、ホール(正孔)の移動度と濃度を、 $1-x_s$ の関数として示したものである。 $1-x_s < 0.25$ では、予想どおり歪と共にホールの移動度、濃度が増加する傾向が見られたが、 $1-x_s > 0.25$ では逆に減少することがわかった。断面TEM観察の結果この領域で急激につきぬけ転位が増加していることが明らかとなり、転位によるホールの濃度及び移動度の低下が示唆された。そこで、つきぬけ転位を減少させるために、Si<sub>1-x<sub>s</sub></sub>Ge<sub>x<sub>s</sub></sub>バッファ層の膜厚を2μmと厚くし、またGe基板との界面にSi<sub>1-x<sub>s</sub></sub>Ge<sub>x<sub>s</sub></sub>/Ge/Si<sub>1-x<sub>s</sub></sub>Ge<sub>x<sub>s</sub></sub>/Ge/……超格子層を設けた。これにより $1-x_s > 0.25$ の領域における、ホールの濃度及び移動度が増大した。

次に、第4図(b)に示すように、WSiゲート49と、イオン打込みによりこれに自己整合的に形成されたp<sup>+</sup>領域を有するサブミクロンゲート長のMOSFETを作製した。短チャネル化に伴うパンチスルーを防止するためSbドーピングスパイク51を設けてある。SiのnチャネルMOSFETでは、チャネル長を0.1μm以下にしなければ、キャリアの速度が飽和速度に上回るいわゆるvelocity overshootは見られないことが知られているが、(例えばG. A. Sai-Halasz他アイ・イー・イー・イー・エレクトロニクス・レターズ、第9巻、(1988年)、464頁)本発明のFETにおいては高移動度化によって、チャネル長約0.3μmにおいてもvelocity overshootによる性能向上が実現できた。

#### 実施例2.

次に、pチャネル、チャネルドープ型電界効果トランジスタを作製した例について述べる。

第6図に示すように、p型Geチャネル層61は、GeH<sub>4</sub>ガスを用いた超高真空対応のCVD

(第5図(c),(d))ただし、 $1-x_s > 0.4$ 及び $1-x_s < 0.15$ では、Geチャネル層43あるいはSi<sub>0.5</sub>Ge<sub>0.5</sub>層44が、転位を発生して歪緩和成長してしまうために、2次元ホールガスが観測できなかった。(図中・点)すなわち、Ge膜厚20nm Si<sub>0.5</sub>Ge<sub>0.5</sub>膜厚30nmの条件では、 $0.2 \leq 1-x_s \leq 0.4$ と選ぶことが有効である。Ge膜厚及びSi<sub>0.5</sub>Ge<sub>0.5</sub>膜厚と共に10nmの条件にすると、 $1-x_s$ の範囲として、 $0 < 1-x_s \leq 0.5$ に拡げることが可能である。(この例ではGe基板を用いたが、Si基板を用いても同様な結果が得られた。)

本発明により実現されたホールの移動度の最大値は15000 cm<sup>2</sup>/v·s (77K)であり、従来値の10倍以上である。

さらに、Tiをゲート電極46とすることにより電界効果トランジスタを作製した。ゲート長は約2μmである。伝達コンダクタンス $g_m$ のゲート電圧 $V_g$ 依存性より算出した電界効果移動度の値も、10000 cm<sup>2</sup>/v·s以上であった。

(化学気相成長)法によって成長し、B<sub>2</sub>H<sub>6</sub>ガスを用いてBを $1 \times 10^{18}$  cm<sup>-3</sup>ドーピングした。歪Ge層61の移動度は、バルクGe層41の約2倍と大きくなっており、高いホール濃度と合わせて、室温における伝達コンダクタンスとして、変調ドープトランジスタと同等な値が実現できた。

第6図中で第4図と同じ符号が示す部分は、第4図と同一又は均等部分を示すものである。

#### 実施例3.

続いて、2次元ホールガス(2DHG)を利用したヘテロバイポーラトランジスタを作製した例について述べる。

第7図(a)に示すようにp型Ge基板71上に厚さ800nmのn<sup>+</sup>Si<sub>0.25</sub>Ge<sub>0.75</sub>コレクタ層72、200nmのn<sup>-</sup>Si<sub>0.25</sub>Ge<sub>0.75</sub>コレクタ層73を基板温度520℃でMBE法によりヘテロエピタキシャル成長した後、20nmのノンドープGeベース層74、Gaドーピングスパイク45を設けた、厚さ20nmのノンドープSi<sub>0.5</sub>Ge<sub>0.5</sub>層80、80nmの

$n^+Si_{0.4}Ge_{0.6}$  エミッタ層 75 を順次形成した。

この構造ではノンドープ  $Si_{0.4}Ge_{0.6}/Ge$  ヘテロ界面に形成される 2 次元ホールガスが極薄かつ低抵抗のベース層として動作する。第 7 図 (a) の構造を用い、バイポーラトランジスタの基本動作を確認した後、寄生素子を減らした第 7 図 (b) の構造を用いたトランジスタを作製した。この構造では、真性ベース領域に対応する部分に開口部を有する  $CVDSiO_2$  膜 76 を形成した上にベース及びエミッタ層を形成することにより、外部ベースを  $p^+$  多結晶  $Ge$  膜とし、この外部ベースに起因する寄生抵抗及び寄生容量を大幅に低減している。本構造を用いることにより、 $f_T = 150 GHz$  の性能を実現した。

#### 実施例 4.

次に、通常の構造の  $p$  型ベース層を用いたヘテロバイポーラトランジスタを作製した例について述べる。

$p$  型  $Ge$  ベース層 81 は、実施例 2 と同様にし

94 は、 $n^+Si_{0.4}Ge_{0.6}$  層を示している。

#### 実施例 6.

最後に、 $p$  チャネル、 $n$  チャネルの変調ドープトランジスタをモノリシックに作製した例について述べる。

第 10 図に示すように、 $p$  チャネルトランジスタは実施例 1 と同様の構造であり、 $n$  チャネルトランジスタは、歪緩和して成長した  $Ge$  層 101 をチャネルとする構造である。これは、 $Ge$  層 101 が歪まないほうが  $Si_{0.15}Ge_{0.85}/Ge$  ヘテロ界面における伝導帯のバンド不連続値が大きくなるためである。本発明により、高速でかつ低消費電力の相補型論理回路が作製できた。第 10 図中 102 は、 $Si_{0.15}Ge_{0.85}$  混晶層、103 は、 $S_d$  ドーピングスパイクを示している。  
〔発明の効果〕

本発明によれば、圧縮歪を有する単体  $Ge$  層に形成された、高移動度、高飽和速度、高濃度の 2 次元ホールガスによって、電界効果トランジスタ及びバイポーラトランジスタの高速化が実現でき

て形成し、 $B$  のドーピング濃度は  $1 \times 10^{19} cm^{-3}$  とした。 $Ge$  ベース内での電子の高移動度化によって、この構造においても  $f_T = 150 GHz$  の性能が得られた。尚第 8 図中で第 7 図 (b) と同じ符号で示す部分は同一又は均等部分を示すものである。

#### 実施例 5.

続いて 2 次元ホールガスを利用した  $p$  チャネル電界効果トランジスタと、バイポーラトランジスタを同一基板上に集積化して (モノリシックに) 作製した例について述べる。

第 9 図に示すように両者の深さ方向の構造は全く同一であり、実施例 3 に示したバイポーラトランジスタの作製とほとんど同一の工程で作製できた。電流駆動能力の大きいバイポーラトランジスタと、高集積化に適した電界効果トランジスタのモノリシックな集積化により、超高速論理回路が作製できた。第 9 図中、91 は基板バイアス用電極、92 は、 $n^+Si_{0.25}Ge_{0.75}$  バッファ層、93 は、 $n^-Si_{0.25}Ge_{0.75}$  バッファ層、

る。

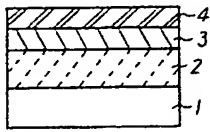
#### 4. 図面の簡単な説明

第 1 図は、本発明の基本構造の断面図、第 2 図は公知例の断面図、第 3 図は、 $Ge$  のホール移動度の温度特性図、第 4, 6, 7, 8, 9, 10 図は、本発明の実施例の断面図、第 5 図は、本発明の基礎となる実験結果を示す図である。

- 1 … 基板、
- 2 …  $Si_{1-x}Ge_x$  バッファ層、
- 3 …  $Ge$  層
- 4 …  $Si_{1-x}Ge_x$  層

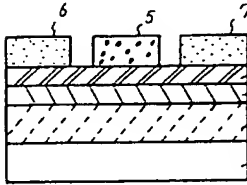
代理人 弁理士 小川 勝男

図面の浄書(内容に変更なし)

第 1 図  
(a)

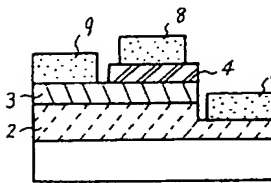
- 1 基板  
2  $\text{Si}_{1-x}\text{Ge}_x$  (0.1 $x$ )層  
3 Ge層  
4  $\text{Si}_{1-x}\text{Ge}_x$ 層

(b)

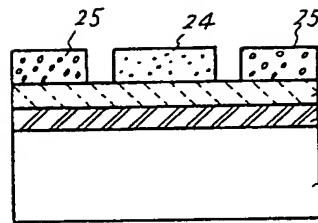


- 5 ゲート電極  
6 ソース電極  
7 ドレイン電極

(c)

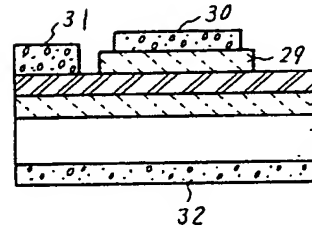


- 8 イリジウム電極  
9 ベース電極  
10 フレック電極

第 2 図  
(a)

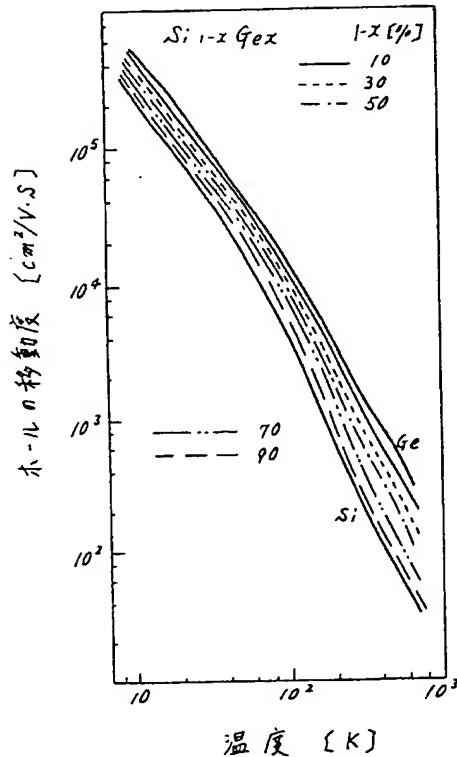
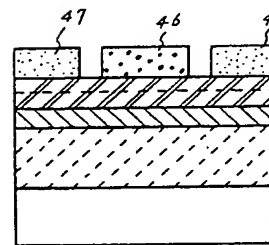
- 21 Si基板  
22  $\text{Si}_{0.8}\text{Ge}_{0.2}$  チャネル層  
23 P型Si層  
24 Tiゲート電極  
25 Alソースドレイン電極

(b)



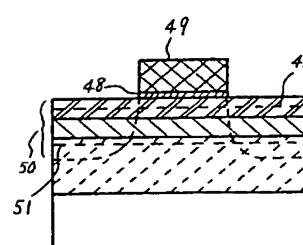
- 26  $\pi$ -Si基板  
27  $\pi$ -Si フレック層  
28 P- $\text{Si}_{0.88}\text{Ge}_{0.12}$  ベース層  
29  $\pi$ -Si イリジウム層  
30 Al/Ti イリジウム電極  
31 " ベース  
32 " フレック

第 3 図

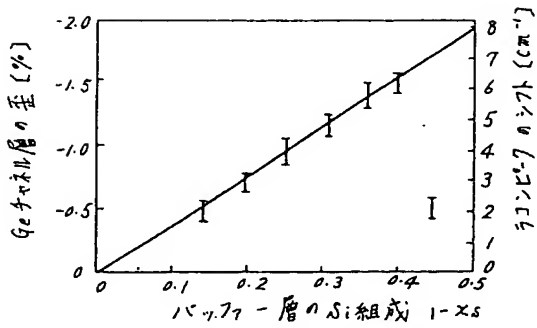
第 4 図  
(a)

- 41  $\pi$ 型Ge基板  
42  $\text{Si}_{1-x}\text{Ge}_x$  バッファ層  
43 Geチャネル層  
44  $\text{Si}_{0.5}\text{Ge}_{0.5}$ 層  
45 Gaドレインスパイア  
46 Tiゲート電極  
47 AlGaソースドレイン電極

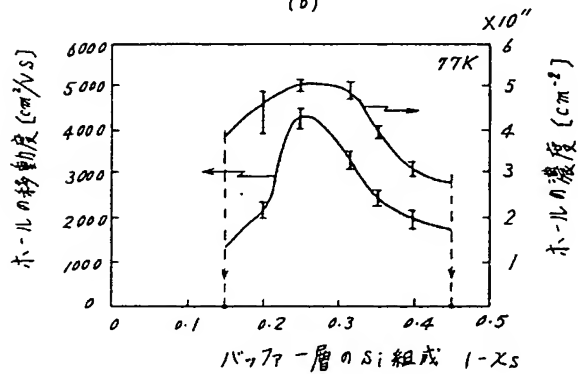
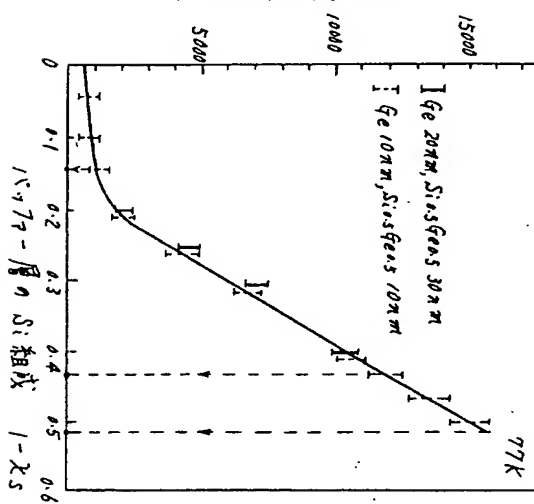
(b)



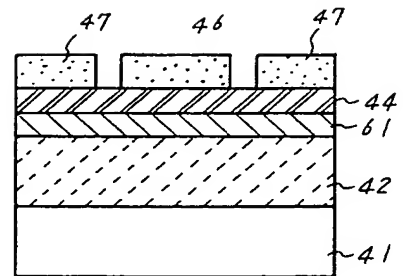
- 40  $\pi$ 型Si基板  
41  $\gamma$ - $\text{SiO}_2$ 膜  
42 WSiゲート  
43 イオン注入P領域  
(ソースドレイン)  
44 Sbドレインスパイア  
45

第 5 図  
(a)

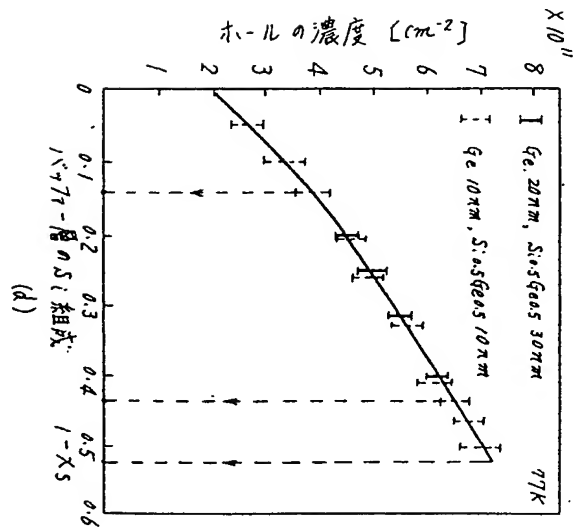
(b)

ホールの移動度 ( $\text{cm}^2/\text{V}\cdot\text{s}$ )

第 6 図

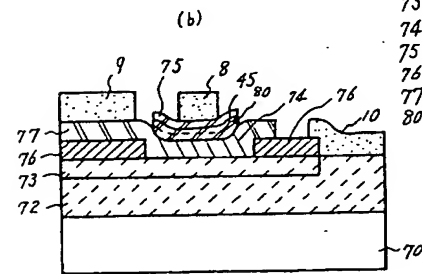
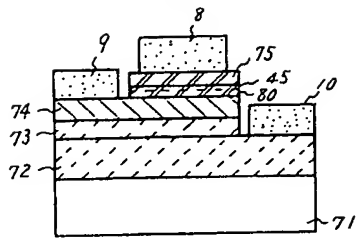


61 P型Geチャネル層

ホールの濃度 ( $\text{cm}^{-2}$ )第 5 図  
(c)

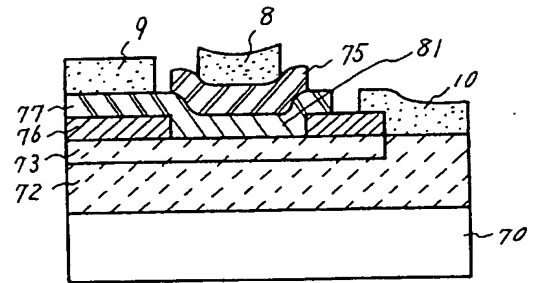
(d)

第 7 図



- 70 P型Si基板
- 71 P型Ge基板
- 72  $\pi^+ \text{Si}_{0.25}\text{Ge}_{0.75}$  3677層
- 73  $\pi^+ \text{Si}_{0.25}\text{Ge}_{0.75}$  3677層
- 74  $\pi^+ \text{Si}_{0.25}\text{Ge}_{0.75}$  ベース層
- 75  $\pi^+ \text{Si}_{0.25}\text{Ge}_{0.75}$  I<sub>1</sub>-7層
- 76 CVD SiO<sub>2</sub> 膜
- 77 P<sup>+</sup>多結晶Ge膜
- 80  $\text{Si}_{0.4}\text{Ge}_{0.6}$  層

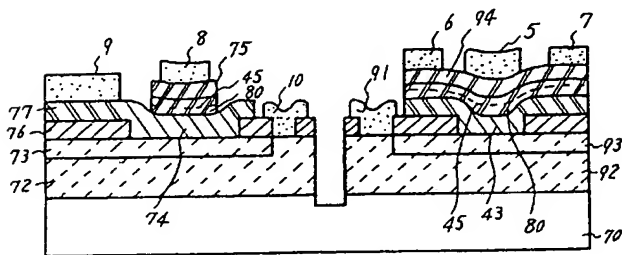
第 8 図



81 P型Geベース層

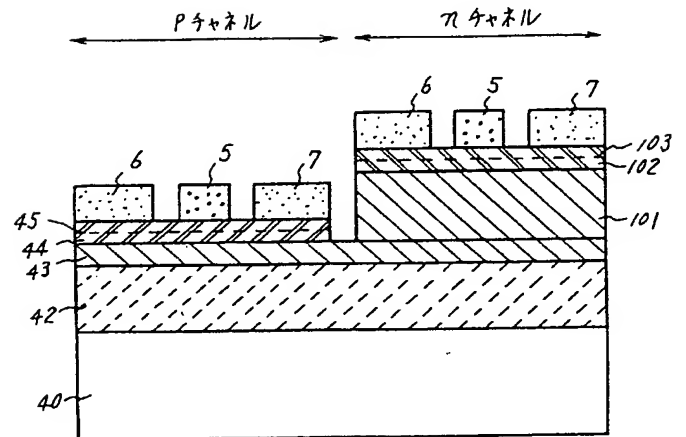
第 9 図

バイポーラトランジスタ P型MODFET



- 91 基板バイアス用電極
- 92  $\pi^+ \text{Si}_{0.25}\text{Ge}_{0.75}$  I<sub>1</sub>-7層
- 93  $\pi^+ \text{Si}_{0.25}\text{Ge}_{0.75}$  I<sub>1</sub>-7層
- 94  $\pi^+ \text{Si}_{0.25}\text{Ge}_{0.75}$  層

第 10 図



- 101 至緩和Geチャンネル層
- 102  $\text{Si}_{0.15}\text{Ge}_{0.85}$  層
- 103 Sbドープn<sup>+</sup> Siバンプ

第 1 頁の続き

⑤Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

H 01 L 21/331  
21/338  
29/73  
29/784  
29/812

8422-5F H 01 L 29/78 3 0 1 H  
8225-5F 29/72

⑦発 明 者 宮 尾 正 信 東京都国分寺市東恋ヶ窪 1 丁目 280 番地 株式会社日立製作所中央研究所内

手 続 補 正 書 (方式)

平成 2 年 4 月 2 日

特 許 庁 長 官 殿

事 件 の 表 示

平成 1 年 特 許 願 第 3 2 5 9 7 5 号

発 明 の 名 称 半 導 体 装 置

補 正 を す る 者

事件との関係 特 許 出 願 人  
名 称 (510) 株式会社 日 立 製 作 所

代 理 人

居 所 〒100 東京都千代田区丸の内一丁目 5 番 1 号  
株式会社 日 立 製 作 所 内  
電 話 東 京 212-1111(大代表)

氏 名 (6850) 弁 理 士 小 川 勝 男

補正命令の日付 平成 2 年 3 月 2 7 日

補 正 の 対 象 図 面

補 正 の 内 容 願書に最初に添付した図面を別紙のとおり  
浄書する。(内容に変更なし)

